

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **63085852 A**(43) Date of publication of application: **16.04.88**

(51) Int. Cl

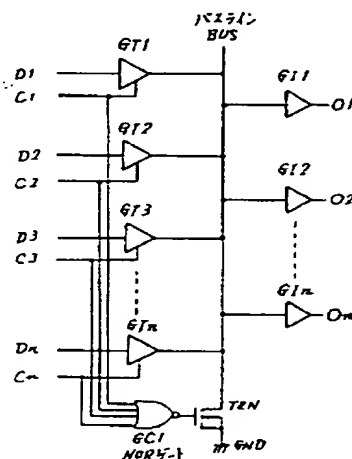
**G06F 13/40**(21) Application number: **61231461**(71) Applicant: **NEC CORP**(22) Date of filing: **29.09.86**(72) Inventor: **SATO FUMIHIKO**(54) **BUS CIRCUIT**

## (57) Abstract:

**PURPOSE:** To evade the floating of a bus line and to obtain stable logical operation by connecting a transistor (TR) switch between a bus line and a power supply terminal and turning on the TR switch by an output of a logical circuit for detecting that all outputs of plural ternary circuits.

**CONSTITUTION:** The TR switch is connected between the bus line and the power supply terminal and controlled by a control signals of all the ternary circuits. Namely, when all control terminals  $C_1WC_n$  are turned to '0', the outputs of all the ternary circuits are turned to high impedance, the bus line BUS is turned to a floating state and a NOR gate GC1 detects the floating state and turns an input to a TR TRN logic '1', so that an open-drain n-channel TR TRN is turned on and an earth level is applied to the bus line BUS through an ON resistor in the TRRN. Thereby, the open-drain TR TRN acts as a pull-down resistor and the floating of the bus line can be evaded.

COPYRIGHT: (C)1988,JPO&amp;Japio



1

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-85852

⑬ Int. Cl.

G 06 F 13/40

識別記号

310

庁内整理番号

7737-5B

⑭ 公開 昭和63年(1988)4月16日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 バス回路

⑯ 特 願 昭61-231461

⑰ 出 願 昭61(1986)9月29日

⑱ 発 明 者 佐 藤 文 彦

東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社

東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

バス回路

2. 特許請求の範囲

複数の3値回路の出力と受信用のゲートの入力  
が接続されたバスラインと電源端子との間にトラン  
ジスタスイッチが接続され、前記複数の3値回  
路の出力が全て高インピーダンス状態になったこ  
とを検出する論理回路の出力によって前記トラン  
ジスタスイッチをオンすることを特徴とするバス  
回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は論理LSI内部におけるバス回路の構  
成に関するものである。

〔従来の技術〕

従来LSI内部におけるバス回路は第3図に示

すように3値回路GT1~GTnのゲート出力と受信  
用のゲートGI1~GI nの入力とにバスラインBU  
Sが接続されている。各3値回路GT1~GTnの出  
力は制御信号C1~Cnが論理"0"等の所定のレ  
ベルになると論理"1"でも"0"でもない高イ  
ンピーダンス状態となる。制御信号C1~Cnが論  
理"1"になると各3値回路GT1~GTnは対応す  
る入力データD1~Dnをそのまま出力に出すか所  
定の論理に従った演算結果を出力に出す。

バス回路の使用規則としては1つの3値回路だ  
けがデータ入力に応じた出力を出すように制御信  
号C1~Cnで制御され、他の3値回路はその動作  
中の3値回路に影響しないように高インピーダ  
ンスの出力となっている。ところが各制御信号C1  
~Cnのタイミング又は制御信号C1~Cnの組合  
せにより上記使用規則が守られない場合がある。  
例えば全ての3値回路GT1~GTnが高インピー  
ダンスになった場合バスラインBUSのデータが定  
まらなくなり、CMOS等では受信用ゲートC1~  
Cnに中間のレベルが入り、電源(VDD)からグ

ラウンド (GND) に向かって多大な電流が流れ信頼性上の問題、異常電流等により LSI チップの故障、誤動作につながる可能性がある。そこですべての 3 値回路 GT1~GTn の出力が高インピーダンスすなわちフローティングにならないように制御信号 C1~Cn の組み合わせを制御する方法が考えられている。第 4 図にその方法を示す図面の記号は第 3 図と同じであるがバスライン BUS の高インピーダンス防止の為 NOR ゲート GC1 及び 3 値回路 GTn+1 が付加されている。制御端子 C1~Cn が 0 になった時バスライン BUS は高インピーダンスになるが NOR ゲート GC1 がこれを検出し 3 値回路 GTn+1 への制御信号を論理 "1" にすることにより 3 値回路 GTn+1 の入力である接地電位 GND がバスライン BUS に与えられるようにし、バスライン BUS のフローティングの状態は避けられる。

〔発明が解決しようとする問題点〕

上述した従来のバスのフローティング防止回路は 3 値回路を使い更に入力を接地又は電源に接続

されなければならないため多くのトランジスタ (CMOS の場合にトランジスタ) 及び配線が必要になるという欠点がある。

〔問題点を解決するための手段〕

本発明によれば複数の 3 値回路の出力と受信ゲートの入力とが接続されるバスラインの電位を全ての 3 値回路の出力が高インピーダンス状態となった時電源電位にするために、バスラインと電源電位の間にトランジスタスイッチを有し、このトランジスタスイッチを全ての 3 値回路の制御信号で制御している。

〔実施例〕

1 第 1 図は本発明による一実施例である。BUS はバスライン、GT1~GTn は 3 値回路、P1~Pn はバスへの入力データ、C1~Cn は各 3 値回路の制御信号、GI1~GIN はバスのデータを受信するゲート、O1~On は各受信ゲートの出力、GC1 は NOR ゲート、TRN はオープンドレインのトランジスタである。本回路では制御端子 C1~Cn が全て 0 になった時バスライン BUS は全

ての 3 値回路の出力が高インピーダンスになるのでフローティングとなるがこれを NOR ゲート GC1 が検出し、トランジスタ TRN への入力を論理 "1" にすることによりオープンドレイン N チャネルトランジスタ TRN が ON 状態となりバスライン BUS はトランジスタ TRN の ON 抵抗を介し接地レベルが印加されることになる。従ってオープンドレイントランジスタ TRN がプルダウン抵抗の役割を果たすことになりフローティングは避けられる。

2 第 2 図は本発明による他の実施例である。本回路では前記一実施例の N チャネルトランジスタ TRN のかわりに P チャネルトランジスタ TRP が使われている。全 3 値回路 GT1~GTn の出力が、全ての制御端子 C1~Cn が論理 "0" になって高インピーダンス状態となり、バスライン BUS がフローティングになった時、OR ゲート GC2 がこれを検出しオープンドレイン P チャネルトランジスタ TRP のゲートに論理 "0" を入力する事により ON 状態にし、バスライン BUS にプルア

ップ抵抗が付いたようにバスラインの電位を電位 VDD にする。

〔発明の効果〕

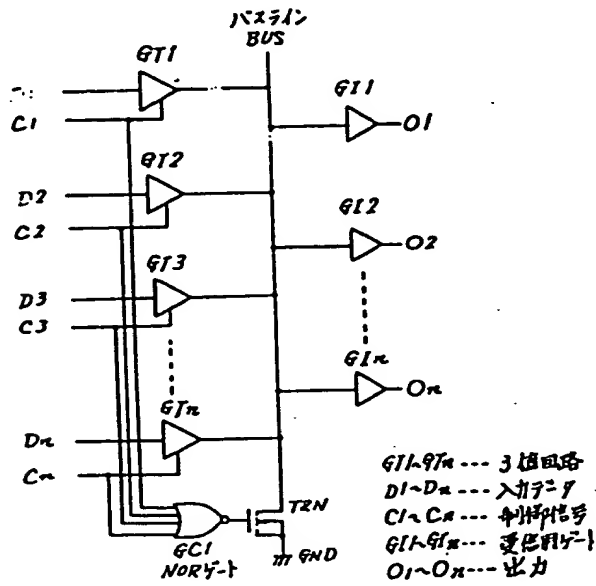
以上説明したように本発明はバスラインがフローティング時にオープンドレイントランジスタを導通させたプルアップ、プルダウンの利用によりバスラインのフローティングを回避し安定した論理動作が得られる効果がある。

#### 4 図面の簡単な説明

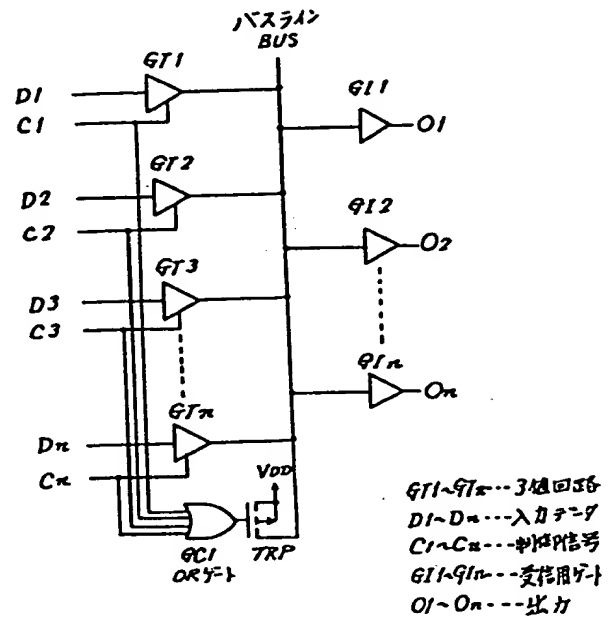
第 1 図、第 2 図はそれぞれ本発明による実施例を示すブロック図、第 3 図は従来のバス回路のブロック図、第 4 図は従来のフローティングを防止したバス回路のブロック図である。

BUS ……バスライン、GT1~GTn …… 3 値回路、D1~Dn ……入力データ、C1~Cn ……制御信号、GI1~GIN ……受信ゲート、O1~On ……各受信ゲートの出力、GC1 …… NOR ゲート、GC2 …… OR ゲート、TRN …… N チャネルトランジスタ、TRP …… P チャネルトランジスタ。

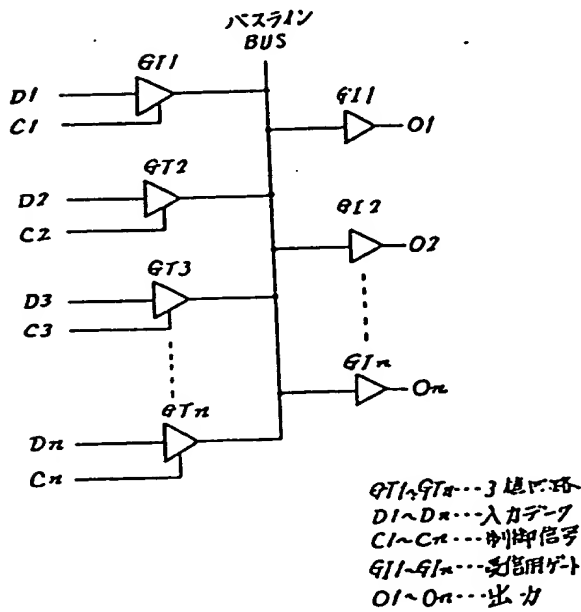
代理人 弁理士 内 原 哲



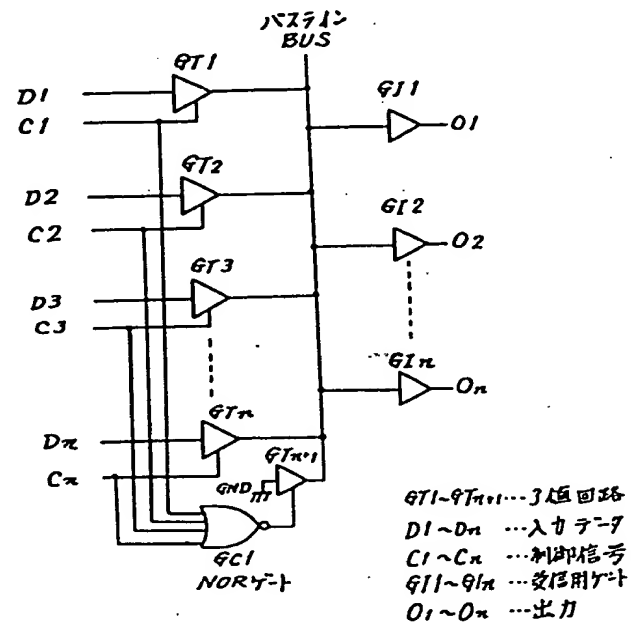
第 1 図



第 2 図



第 3 図



第 4 図